

PATENT ABSTRACTS OF JAPAN

(11)Publication number : **2002-057329**

(43)Date of publication of application : **22.02.2002**

(51)Int.Cl.

H01L 29/78

H01L 29/786

(21)Application number : **2000-240915** (71)Applicant : **TOSHIBA CORP**

(22)Date of filing : **09.08.2000** (72)Inventor : **HATAKEYAMA TETSUO**

SUGIYAMA NAOHARU

USUDA KOJI

TEZUKA TSUTOMU

MIZUNO TOMOHISA

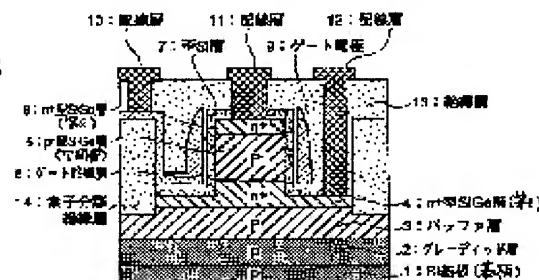
TAKAGI SHINICHI

(54) VERTICAL FIELD-EFFECT TRANSISTOR AND ITS MANUFACTURING METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a vertical field-effect transistor improved to in speed and performance by applying a tensile strain in all directions of a channel layer.

SOLUTION: The vertical field-effect transistor comprises a substrate 1 having one main surface, a one conductivity first SiGe layer 4 provided on the main surface, an intermediate layer 5 made of a substance having a different lattice constant from that of an Si electrically isolated from the layer 4, a one conductivity second SiGe layer 6 isolated from the layer 4 and electrically isolated from the layer 5, a distorted Si layer 7 laminated on a surface to the layer 6 from the layer 4 including the surface of the layer 5 and having a tensile distortion, and a gate insulating film 8 and a gate electrode 9 provided on the layer 7.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2002-57329
(P2002-57329A)

(43) 公開日 平成14年2月22日 (2002. 2. 22)

(51) Int.Cl.⁷

H 0 1 L 29/78
29/786

識別記号

F I

H 0 1 L 29/78

ターミナル* (参考)

3 0 1 B 5 F 0 4 0
6 1 8 B 5 F 1 1 0
6 2 6 A

審査請求 未請求 請求項の数16 O L (全 11 頁)

(21) 出願番号 特願2000-240915(P2000-240915)

(22) 出願日 平成12年8月9日 (2000. 8. 9)

(71) 出願人 000003078

株式会社東芝

東京都港区芝浦一丁目1番1号

(72) 発明者 畠山 哲夫

神奈川県川崎市幸区小向東芝町1番地 株
式会社東芝研究開発センター内

(72) 発明者 杉山 直治

神奈川県川崎市幸区小向東芝町1番地 株
式会社東芝研究開発センター内

(74) 代理人 100083161

弁理士 外川 英明

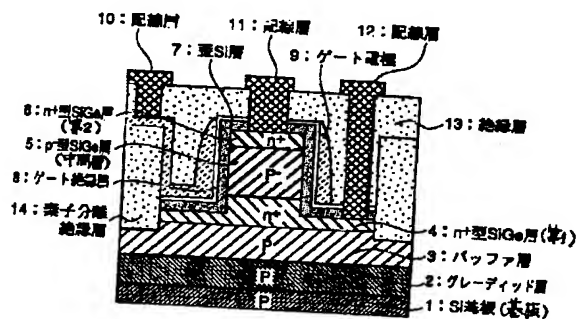
最終頁に続く

(54) 【発明の名称】 縦型電界効果トランジスタ及びその製造方法

(57) 【要約】

【課題】 本発明は、チャネル層のすべての方向に引っ張り歪みを加えて、高速化、高性能化を計った縦型電界効果トランジスタを提供することを目的とする。

【解決手段】 一主面を有する基板1と、その一主面上に設けられた一導電型の第1のSiGe層4と、前記第1のSiGe層4と電気的に分離されたSiとは格子定数の異なる物質からなる中間層5と、前記第1のSiGe層4と離間し、且つ前記中間層5と電気的に分離された一導電型の第2のSiGe層6と、前記中間層5表面を含む前記第1のSiGe層4から前記第2のSiGe層6に至る表面に積層された引っ張りひずみを有する歪Si層7と、前記歪Si層7上に設けられたゲート絶縁膜8及びゲート電極9とを有する縦型電界効果トランジスタ。



【特許請求の範囲】

【請求項1】一主面を有する基板と、

前記基板の一主面上に設けられた一導電型の第1のSiGe層と、

この第1のSiGe層に選択的に形成され、前記第1のSiGe層と電気的に分離されたSiとは格子定数の異なる物質からなる中間層と、

前記中間層上に設けられ、前記第1のSiGe層と離間し、且つ前記中間層と電気的に分離された一導電型の第2のSiGe層と、

前記中間層表面を含む前記第1のSiGe層から前記第2のSiGe層に至る表面に積層された引っ張りひずみを有する歪Si層と、

前記歪Si層上に設けられたゲート絶縁膜と、

前記第1及び第2のSiGe層の離間させられた部位に対応して前記ゲート絶縁膜を介して形成されたゲート電極とを有することを特徴とする縦型電界効果トランジスタ。

【請求項2】前記第1のSiGe層、及び第2のSiGe層は、格子歪の緩和されたものであることを特徴とする請求項1記載の縦型電界効果トランジスタ。

【請求項3】前記第1のSiGe層は、平坦部及び前記一主面と垂直な方向に突出した突出部を有し、この突出部上に前記中間層が形成されていることを特徴とする請求項1又は請求項2記載の縦型電界効果トランジスタ。

【請求項4】前記中間層が逆導電型のSiGe層であることを特徴とする請求項1乃至請求項3記載の縦型電界効果トランジスタ。

【請求項5】前記第1のSiGe層、第2のSiGe層及び前記中間層は、前記基板の一主面上に一体に設けられた単一の層から形成されたものであり、その単一の層は選択的に設けられた柱状部分を有するよう形成されていることを特徴とする請求項1乃至請求項4記載の縦型電界効果トランジスタ。

【請求項6】前記歪Si層、ゲート絶縁膜、及びゲート電極は、前記柱状部分の側壁を囲むように形成されていることを特徴とする請求項5記載の縦型電界効果トランジスタ。

【請求項7】一主面を有する基板と、

前記基板の一主面上に設けられた一導電型の第1のSiGe層と、

この第1のSiGe層に選択的に形成され、前記第1のSiGe層と電気的に分離されたSiとは格子定数の異なる物質からなる中間層と、

前記中間層上に設けられ、前記第1のSiGe層と離間し、且つ前記中間層と電気的に分離された一導電型の第2のSiGe層と、

前記中間層表面を含む前記第1のSiGe層から前記第2のSiGe層に至る表面に積層された第3のSiGe層と、

この第3のSiGe層上に積層された引っ張りひずみを有する歪Si層と、

前記歪Si層上に設けられたゲート絶縁膜と、

前記第1及び第2のSiGe層の離間させられた部位に対応して前記ゲート絶縁膜を介して形成されたゲート電極とを有することを特徴とする縦型電界効果トランジスタ。

【請求項8】前記第1のSiGe層、第2のSiGe層、及び第3のSiGe層は、格子歪の緩和されたものであることを特徴とする請求項7記載の縦型電界効果トランジスタ。

【請求項9】前記第1のSiGe層は、平坦部及び前記一主面と垂直な方向に突出した突出部を有し、この突出部上に前記中間層が形成されていることを特徴とする請求項7又は請求項8記載の縦型電界効果トランジスタ。

【請求項10】前記中間層が絶縁層であることを特徴とする請求項7乃至請求項9記載の縦型電界効果トランジスタ。

【請求項11】前記第1のSiGe層、第2のSiGe層及び前記中間層は、前記基板の一主面上に一体に設けられた単一の層から形成されたものであり、その単一の層は選択的に設けられた柱状部分を有するよう形成されていることを特徴とする請求項7乃至請求項10記載の縦型電界効果トランジスタ。

【請求項12】前記歪Si層、ゲート絶縁膜、及びゲート電極は、前記柱状部分の側壁を囲むように形成されていることを特徴とする請求項11記載の半導体装置。

【請求項13】前記基板と前記第1のSiGe層との間に分離用絶縁層が介在しており、電気的に前記第1のSiGe層が前記基板と分離されていることを特徴とする請求項1記載乃至請求項12記載の縦型電界効果トランジスタ。

【請求項14】一主面を有する基板を用意する工程と、前記一主面上に一導電型の第1のSiGe層を形成する工程と、

前記第1のSiGe層上に逆導電型の第2のSiGe層を形成する工程と、

前記第2のSiGe層上に一導電型の第3のSiGe層を形成する工程と、

前記第1のSiGe層乃至第3のSiGe層を選択的に除去し、前記基板の一主面と交わる方向に伸びた、前記第1のSiGe層乃至第3のSiGe層の積層構造の柱状部分を形成する工程と、

前記柱状部分の側壁表面にSi層を積層し、引っ張りひずみを有する歪Si層を形成する工程と、

前記歪Si層上にゲート絶縁膜を形成する工程と、前記第1及び第3のSiGe層の離間させられた部位に対応して前記ゲート絶縁膜を介してゲート電極を形成する工程とを有することを特徴とする縦型電界効果トランジスタの製造方法。

【請求項15】一主面を有する基板を用意する工程と、前記一主面上に一導電型の第1のSiGe層を形成する工程と、

前記第1のSiGe層の上面、及びその上面と対向する底面から離れた部位に前記第1のSiGe層を上層及び下層に電気的に分離する絶縁層を形成する工程と、前記第1のSiGe層の上層、下層、及び絶縁層を選択的に除去し、前記基板の一主面と交わる方向に伸びた、前記第1のSiGe層及び絶縁層の積層構造の柱状部分を形成する工程と、

前記柱状部分の側壁表面に第2のSiGe層を形成する工程と、

前記第2のSiGe層表面にSi層を積層し、引っ張りひずみを有する歪Si層を形成する工程と、

前記第1のSiGe層の上層及び下層の間の前記柱状部分側壁に沿った前記歪Si層上にゲート絶縁膜を形成する工程と、

前記ゲート絶縁膜上にゲート電極を形成する工程とを有することを特徴とする縦型電界効果トランジスタの製造方法。

【請求項16】前記第1のSiGe層は、前記基板に分離用絶縁層を介して形成されることを特徴とする請求項14又は請求項15記載の縦型電界効果トランジスタの製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、チャンネル層の結晶歪みを最大限に利用して縦型電界効果トランジスタの高性能化を図った縦型電界効果トランジスタ並びにその製造方法に関する。

【0002】

【従来の技術】従来、歪Siをチャンネルとすることで電界効果トランジスタの動作速度を高速化できることは知られているが、その理論を縦型電界効果トランジスタに応用したものとしては、Liu, K. C. 等によるElectron Devices Meeting, 1999, IEDM Technical Digest, International, 1999 Page (s): 3.3.1-3.3.4の「A Novel Sidewall Strained-Si Channel nMOSFET」などが知られている。

【0003】この公知の縦型電界効果トランジスタは、アンドープのSiGe層をソース及びドレイン領域となるn型Siの上層と下層により挟み込んだ柱状の積層構造が、Si基板の表面に形成され、更に、その積層構造を構成する三層(Siの上層、SiGe層、及びSiの下層)の側面に、1200nm以下の極薄い歪Si膜とゲート酸化膜が形成されると共に、前記SiGe層の側面と対応するゲート酸化膜表面にpoly Siのゲート電極が設けられた構造となっている。

【0004】このような縦型電界効果トランジスタでは、前記SiGe層は、前記下層のSi上に形成されているので、前記SiGe層のSi基板表面と平行な方向の格子定数は圧縮歪みを伴ってSiの格子定数と等しくなる。その反面、前記SiGe層のSi基板表面と垂直な方向では、格子定数がSiGe本来の格子定数よりも大きくなり、チャンネルとなる極薄い歪Si膜は、SiGe本来の格子定数より大きな格子定数に一致するように弾性変形することになる。この歪Si膜は、Siの格子定数がSiGeよりも小さいため、SiGe本来の格子定数より大きな格子定数に接することで、より大きな応力を受け、Si基板表面と垂直な方向に引っ張り歪みを受けている。

【0005】

【発明が解決しようとする課題】しかしながら、上述の構成では、歪Si膜に、Si基板表面と垂直な方向にしか歪みがかからず、チャンネルを形成するSi膜の厚さ方向に垂直なすべての方向に歪みがかかっている場合に比べると、電子及び正孔の電子構造変化の割合が小さく、結果としてMOSトランジスタの歪みによる高速化、高性能化の効果が限定されるという問題があった。

【0006】本発明は、詳述の問題を考慮して成されたもので、チャンネルを形成するSi層の厚さ方向に垂直なすべての方向に引っ張り歪みを加えて、高速化、高性能化を計った縦型電界効果トランジスタ及びその製造方法を提供することを目的とする。

【0007】

【課題を解決するための手段】前記課題を解決するために本発明は次のような構成を採用している。

【0008】即ち、一主面を有する基板と、前記基板の一主面上に設けられた一導電型の第1のSiGe層と、この第1のSiGe層に選択的に形成され、前記第1のSiGe層と電気的に分離されたSiとは格子定数の異なる物質からなる中間層と、前記中間層上に設けられ、前記第1のSiGe層と離間し、且つ前記中間層と電気的に分離された一導電型の第2のSiGe層と、前記中間層表面を含む前記第1のSiGe層から前記第2のSiGe層に至る表面に積層された引っ張りひずみを有する歪Si層と、前記歪Si層上に設けられたゲート絶縁膜と、前記第1及び第2のSiGe層の離間させられた部位に対応して前記ゲート絶縁膜を介して形成されたゲート電極とを有する縦型電界効果トランジスタである。

【0009】この縦型電界効果トランジスタにおいて、前記第1のSiGe層、及び第2のSiGe層は、格子歪の緩和されたものであることが、SiGe層の特性上重要である。

【0010】また、中間層を逆導電型のSiGe層とすれば、前記第1のSiGe層及び第2のSiGe層とはPN接合により簡便に電気的分離が図れる。

【0011】更に、前記第1のSiGe層、第2のSi

Ge層及び前記中間層を前記基板の一主面上に一体に設けられた単一の層から形成し、その単一の層を選択的に除去して柱状部分を形成すれば、前記歪Si層が形成される柱状部分側壁の平坦性が確保し易い。

【0012】また、特にゲート幅を確保するためには、前記歪Si層、ゲート絶縁膜、及びゲート電極を、前記柱状部分の側壁を囲むように形成することが好ましい。更にまた、本発明の縦型電界効果トランジスタは、次のように構成することも可能である。即ち、一主面を有する基板と、前記基板の一主面上に設けられた一導電型の第1のSiGe層と、この第1のSiGe層に選択的に形成され、前記第1のSiGe層と電気的に分離されたSiとは格子定数の異なる物質からなる中間層と、前記中間層上に設けられ、前記第1のSiGe層と離間し、且つ前記中間層と電気的に分離された一導電型の第2のSiGe層と、前記中間層表面を含む前記第1のSiGe層から前記第2のSiGe層に至る表面に積層された第3のSiGe層と、この第3のSiGe層上に積層された引っ張りひずみを有する歪Si層と、前記歪Si層上に設けられたゲート絶縁膜と、前記第1及び第2のSiGe層の離間させられた部位に対応して前記ゲート絶縁膜を介して形成されたゲート電極とを有する縦型電界効果トランジスタである。

【0013】このような構成の縦型電界効果トランジスタにおいても、前記第1のSiGe層、第2のSiGe層、及び第3のSiGe層は、格子歪の緩和されたものであることが、SiGe層の特性上重要である。

【0014】また、中間層を絶縁層で構成することにより、前記第1のSiGe層及び第2のSiGe層との電気的分離が確実に行われ、浮遊容量の低減効果から更に高速動作が期待できる。

【0015】更に、前記第1のSiGe層、第2のSiGe層及び前記中間層を前記基板の一主面上に一体に設けられた単一の層から形成し、その単一の層を選択的に除去して柱状部分を形成すれば、前記歪Si層が形成される柱状部分側壁の平坦性が確保し易い。

【0016】また、特にゲート幅を確保するためには、前記歪Si層、ゲート絶縁膜、及びゲート電極を、前記柱状部分の側壁を囲むように形成することが好ましい。

【0017】更に、基板及び第1のSiGe層間に素子分離絶縁層が介在する構成をとることは、基板とドレイン領域との間のリーク電流や浮遊容量を実質的に無くすることか出来るため、低消費電力化、動作の高速化において極めて有効である。

【0018】そして、上述のような縦型電界効果トランジスタの内、中間層を逆導電型のSiGe層とするのに好適する製造方法は次の様な工程を必要とする。

【0019】即ち、一主面を有する基板を用意する工程と、前記一主面上に一導電型の第1のSiGe層を形成する工程と、前記第1のSiGe層上に逆導電型の第2

のSiGe層を形成する工程と、前記第2のSiGe層上に一導電型の第3のSiGe層を形成する工程と、前記第1のSiGe層乃至第3のSiGe層を選択的に除去し、前記基板の一主面と交わる方向に伸びた、前記第1のSiGe層乃至第3のSiGe層の積層構造の柱状部分を形成する工程と、前記柱状部分の側壁表面にSi層を積層し、引っ張りひずみを有する歪Si層を形成する工程と、前記歪Si層上にゲート絶縁膜を形成する工程と、前記第1及び第3のSiGe層の離間させられた部位に対応して前記ゲート絶縁膜を介してゲート電極を形成する工程である。

【0020】また、中間層を絶縁層とするのに好適する製造方法は次の様な工程を必要とする。

【0021】即ち、一主面を有する基板を用意する工程と、前記一主面上に一導電型の第1のSiGe層を形成する工程と、前記第1のSiGe層の上面、及びその上面と対向する底面から離れた部位に前記第1のSiGe層を上層及び下層に電気的に分離する絶縁層を形成する工程と、前記第1のSiGe層の上層、下層、及び絶縁層を選択的に除去し、前記基板の一主面と交わる方向に伸びた、前記第1のSiGe層及び絶縁層の積層構造の柱状部分を形成する工程と、前記柱状部分の側壁表面に第2のSiGe層を形成する工程と、前記第2のSiGe層表面にSi層を積層し、引っ張りひずみを有する歪Si層を形成する工程と、前記第1のSiGe層の上層及び下層の間の前記柱状部分側壁に沿った前記歪Si層上にゲート絶縁膜を形成する工程と、前記ゲート絶縁膜上にゲート電極を形成する工程である。

【0022】本発明によれば、チャネル領域の歪Si層を基板の一主面と垂直な表面を有するSiGe層上に渡って形成しているため、基板の一主面に垂直な方向及び基板の一主面と平行で歪Si層の厚さ方向に垂直な方向にも引っ張り歪がかかり、基板の一主面と垂直方向のみの引っ張り歪を利用した縦型電界効果トランジスタと比べ、高速動作が可能な縦型電界効果トランジスタが提供できる。

【0023】

【発明の実施の形態】(第1実施形態)図1は、本発明の第1の実施形態に係わる縦型電界効果トランジスタを示す部分断面図である。

【0024】図1において、1はp型Si(シリコン)基板、2はp型にドーパされたSiGe(シリコン・ゲルマニウム)のグレーディッド層、3は同様にp型にドーパされたSiGe(シリコン・ゲルマニウム)のバッファ層、4及び6は格子歪が緩和されたn+型SiGe(シリコン・ゲルマニウム)層、5は格子歪が緩和されたp型SiGe(シリコン・ゲルマニウム)層、7は歪Si(シリコン)層、8は酸化Si(シリコン)のゲート絶縁膜、9は多結晶Si(シリコン)のゲート電極、10乃至12はAl等の金属によるゲート、ソー

ス、ドレインの各配線層、13は絶縁層、14は酸化Si (シリコン) の素子分離絶縁層である。

【0025】図示されるように、n+型SiGe層4の中央の一部と、その上のp-型SiGe層5、及びn+型SiGe層6は、柱状に形成され、これら三つのSiGe層により構成される柱状部分の側面は、至Si層7により覆われている。

【0026】n+型SiGe層4は、前記柱状部分を含む断面が凸形に形成され、柱状部分の一部とその部分の底部に連続した延在部を有するように加工されている。また、先に述べた通り、至Si層7は前記柱状部分の側面を取り巻くように形成されるが、その一部はn+型SiGe層4の延在部表面にも延長されている。そして、前記柱状部分を構成する三つの層が共にSiGe層であるため、至Si層7には、前記柱状部分の側面に沿って基板表面に垂直な方向の引っ張り歪みがかかるばかりでなく、前記柱状部分の側面にそって基板表面に並行な方向にも引っ張り歪みがかかる。

【0027】縦型電界効果トランジスタとしては、ゲート電極9にゲート電圧が印加されると、至Si層7及び、場合によってはp-型SiGe層5のゲート電極に対向する表面部分にチャネルとなる反転層が生じ、ソース領域としてのn+型SiGe層6及びドレイン領域としてのn+型SiGe層4の間に電流が流れるように動作する。

【0028】次に、この電界効果トランジスタの製造方法について、図2乃至図7を参照して説明する。

【0029】まず、図2に示されるように、Si基板1上にエピタキシャル成長によってSi(1-y)Ge(y)のグレーディッド層2が形成される。グレーディッド層2ではyの値を0から0.2~0.5の範囲に変えることができ、例えば1000nmの厚さとしてすることができる。ここでは、基板にSiを使用した場合を示したが、SiGe等のエピタキシャル層を形成するのに適した材料とすることもできる。

【0030】続いてエピタキシャル成長によって格子歪が緩和されたSi(1-x)Ge(x)のバッファ層3が形成される。バッファ層3のxはグレーディッド層2の上面の格子定数に一致するように選ばれる。従って、バッファ層3の表面には実質的に歪みがない結晶構造が得られる。

【0031】次に、バッファ層3の表面に、n+型不純物を高濃度にドーピングされたSiGe層4、p型不純物をドーピングされたSiGe層5、SiGe層4と同様にn+型不純物を高濃度にドーピングされたSiGe層6の積層構造が、連続したエピタキシャル成長によって形成される。ここでは、SiGe層4乃至SiGe層6を連続するエピタキシャル成長により形成する代わりに、イオン注入とエピタキシャル成長を交互に行って積層構造を形成してもよい。

【0032】この後、図3に示されるように、素子形成予定領域を除く位置に溝が設けられ、その溝内にSiO₂等の絶縁物が充填されて、素子分離絶縁層14が形成される。

【0033】次いで、図4に示されるように、SiGe層4乃至SiGe層6がRIE(Reactive Ion Etching)により選択的に除去され、柱状部分20が形成される。

【0034】図5に示されるように、厚さ10nmの至Si層7が、エピタキシャル成長によってSiGe層4乃至SiGe層6からなる前記柱状部分20の側壁表面、及びSiGe層6の表面に形成される。続いて、700℃の酸素希釈のウェット酸化により、前記至Si層7が酸化され、ゲート絶縁膜8となる厚さ2nmの酸化Si膜が形成される。

【0035】また、図6に示されるように、減圧CVD法により厚さ200nmの多結晶Si膜が前記ゲート絶縁膜8の表面及び素子分離絶縁層14の表面を含む全面に堆積され、RIE等の異方性エッチングによりゲート電極9がパターンニングされる。この際、少なくとも、柱状部分20の側壁に設けられたゲート絶縁膜8上、及びゲート電極9引出しのための配線層10の形成予定領域に、ゲート電極9が存在するように、予め図示されていないレジスト膜で被覆されてRIEが行われる。

【0036】更に、図7に示されるように、絶縁膜13としてCVD法により酸化Si膜が500nm堆積され平坦化されると共に、コンタクト孔がRIE法にて開孔される。その後、Siを1%含有するアルミニウム膜がスパッタ法で堆積され、パターンニングされることにより、図1に示されるようなゲート、ソース、及びドレインの各配線層10乃至12が形成される。

【0037】これ以後は、通常の半導体装置の製造方法と同様に、パッシベーション膜形成工程等を経て半導体装置が完成される。

【0038】このように本実施形態によれば、膜厚方向に垂直なすべての方向に引っ張り歪みがかかった至Si層7をチャネル領域とした縦型電界効果トランジスタを製造することができる。従って、歪みの効果が前記柱状部分20側壁にそって基板に垂直な方向に限られた従来の縦型電界効果トランジスタに較べキャリアの移動度が大きく向上し動作速度の高速化及び高性能化を図ることができる。

(第2実施形態) 図8は、本発明の第2の実施形態に係わる縦型電界効果トランジスタを示す部分断面図である。尚、図1との同一部分には同一符号を付して、その詳しい説明は省略する。

【0039】本実施形態が先に説明した第1の実施形態と異なる点は、格子歪が緩和された緩和SiGe層が、直接、酸化Si膜上に形成されていること、及び、素子分離方法としてトレンチ分離ではなくメサ分離を用いた

ことにある。

【0040】図8において、1はp型Si（シリコン）基板、30はSiGe（シリコン・ゲルマニウム）層、32は埋め込み酸化膜、300及び6は格子歪が緩和されたn+型SiGe（シリコン・ゲルマニウム）層、5は格子歪が緩和されたp-型SiGe（シリコン・ゲルマニウム）層、7は歪Si（シリコン）層、8は酸化Si（シリコン）のゲート絶縁膜、9は多結晶Si（シリコン）のゲート電極、10乃至12はAl等の金属によるゲート、ソース、ドレインの各配線層、13は酸化Si（シリコン）等から成るの素子分離用の絶縁層である。

【0041】図示されるように、n+型SiGe層300の中央の一部と、その上のp-型SiGe層5、及びn+型SiGe層6は、柱状に形成され、これら三つのSiGe層により構成される柱状部分の側面は、歪Si層7により覆われている。

【0042】n+型SiGe層300は、前記柱状部分を含む断面が凸形に形成され、柱状部分の一部とその部分の底部に連続した延在部を有するように加工されている。また、先に述べた通り、歪Si層7は前記柱状部分の側面を取り巻くように形成されるが、その一部はn+型SiGe層300の延在部表面にも延長されている。そして、前記柱状部分を構成する三つの層が共にSiGe層であるため、歪Si層7には、前記柱状部分の側面に沿って基板表面に垂直な方向の引っ張り歪みがかかるばかりでなく、前記柱状部分の側面にそって基板表面に並行な方向、にも引っ張り歪みがかかる。

【0043】縦型電界効果トランジスタとしては、ゲート電極9にゲート電圧が印加されると、歪Si層7及び、場合によってはp-型SiGe層5のゲート電極に対向する表面部分にチャネルとなる反転層が生じ、ソース領域としてのn+型SiGe層6及びドレイン領域としてのn+型SiGe層300の間に電流が流れるように動作する。

【0044】本実施形態における縦型電界効果トランジスタの製造方法を、図9乃至図15を参照して以下に説明する。

【0045】まず、図9に示すようにSi基板1上にSiGe層30を1000nmエピタキシャル成長させる。この場合、最上部に基板保護のために薄いSi層31があることが望ましい。次いで、SiGe層30中に、酸素が加速エネルギー180keV、ドーズ量 $4 \times 10^{17} \text{ cm}^{-2}$ の条件で、Si基板1及びSiGe層30の表面から離れた位置に濃度ピークが存在するようにイオン注入される。その後、温度1350℃で4時間、酸素を微量に添加した窒素雰囲気中でアニールすることで埋め込み酸化膜32が形成される。

【0046】前記アニールにより、埋め込み酸化膜32上のSiGe層30では格子歪が緩和され歪みが極小化

されると共に、表面には前記薄いSi層31によりSi酸化膜33が形成される。また、埋め込み酸化膜32直下のSiGe層30からはGeがSi基板1方向に拡散され、図10に示される状態になる。

【0047】次に、埋め込み酸化膜32上のSiGe層300に、n型の不純物としてAsが、50keV、 $6.0 \times 10^{15} \text{ cm}^{-2}$ でイオン注入され、不純物の活性化のためにアニールが行われる。このアニールのときに生じた表面の酸化膜をフッ酸により除去後、p型にドーパされたSiGe層5とn型にドーパされたSiGe層6が続けてエピタキシャル成長され、図11に示される積層構造を得る。

【0048】次いで、図12に示されるように、RIE法によりn+型SiGe層300、p-型SiGe層5、n+型SiGe層6が選択的に除去され、柱状突起200が形成される。

【0049】先の工程で形成された柱状突起200、及びその柱状突起200の底部に繋がるn+型SiGe層300の表面には、厚さ10nmの歪Si層がエピタキシャル成長により形成される。図示しないが、その後、光蝕刻法により、柱状突起200及びその周辺部を保護するようにレジストのパターニングを行い、図13に示されるようにn+型SiGe層300をRIE法により埋め込み酸化膜32に達するまで除去し、素子分離を行う。

【0050】続いて、図14に示されるように、700℃の酸素希釈ウェット酸化により歪Si層7が酸化され、ゲート絶縁膜8として厚さ2nmの酸化Si膜が形成される。

【0051】また、図15に示されるように、減圧CVD法により厚さ200nmの多結晶Si膜が前記ゲート絶縁膜8の表面及び埋め込み酸化膜の表面を含む全面に堆積され、RIE等の異方性エッチングによりゲート電極9がパターニングされる。この際、少なくとも、柱状突起の側壁に設けられたゲート絶縁膜8上、及びゲート電極9引出しのための配線層10の形成予定領域に、ゲート電極9が存在するように、予め図示されていないレジスト膜で被覆されてRIEが行われる。

【0052】更に、図8に示されるように、絶縁層13としてCVD法により酸化Si膜が500nm堆積され平坦化されると共に、コンタクト孔がRIE法にて開孔される。その後、Siを1%含有するアルミニウム膜がスパッタ法で堆積され、パターニングされることにより、ゲート、ソース、及びドレインの各配線層10乃至配線層12が形成される。

【0053】これ以後は、通常の半導体装置の製造方法と同様に、パッシベーション膜形成工程等を経て半導体装置が完成される。

【0054】このように本実施形態によれば、柱状部分の側面に沿って基板表面に垂直な方向の引っ張り歪みが

かかるばかりでなく、柱状部分の側面に沿って基板表面に並行な方向にも引っ張り歪みがかかった歪Si層7をチャンネル領域とした縦型電界効果トランジスタを製造することができる。従って、歪みの効果が前記柱状突起側壁に沿う方向で基板表面に垂直な方向に限られた従来の縦型電界効果トランジスタに比べキャリアの移動度が大きく向上し動作速度の高速化及び高性能化を図ることができる。

【0055】また、ドレイン領域が直に埋め込み酸化膜と接しているの、ドレイン領域がPN接合により分離されている場合より、ドレイン容量を小さくでき、更に動作速度を高速化できる。

(第3の実施形態) 図16は、本発明の第3の実施形態に係わる縦型柱状構造の電界効果トランジスタを示す素子構造断面図である。尚、第2の実施形態に係わる図8との同一部分には同一符号を付して、その詳しい説明は省略する。

【0056】本実施形態が先に説明した第2の実施形態と異なる点は、p-型SiGe層5の代わりに絶縁層が形成されている点にある。またソース領域及びドレイン領域の形成はゲート電極形成後にイオン注入法によって形成する点が異なっている。

【0057】図16において、100はSOI基板、30はSiGe(シリコン・ゲルマニウム)層、32は埋め込み酸化膜、41は歪SiGe(シリコン・ゲルマニウム)層、42は歪Si(シリコン)層、43はソース領域、44はドレイン領域、8は酸化Si(シリコン)のゲート絶縁膜、9は多結晶Si(シリコン)のゲート電極、10乃至12はAl等の金属によるゲート、ソース、ドレインの各配線層、13は絶縁層である。

【0058】縦型電界効果トランジスタとしては、ゲート電極9にゲート電圧が印加されると、歪Si層42及び、歪SiGe層41のゲート電極に対向する表面部分にチャンネルとなる反転層が生じ、ソース領域43及びドレイン領域44の間に電流が流れるように動作する。

【0059】本実施形態における電界効果トランジスタの製造方法を、図17乃至図21を参照して以下に説明する。

【0060】まず、図17に示されるように、Si基板、埋め込み酸化膜、Si層の積層構造を有するSOI(Silicon On Insulator)基板100上にSiGe層30が1000nmの厚さでエピタキシャル成長される。この場合、最上層に基板保護のために薄いSi層31があることが望ましい。

【0061】次に、SiGe層30中に、酸素が加速エネルギー180keV、ドーズ量 $4 \times 10^{17} \text{ cm}^{-2}$ の条件で、SOI基板100の埋め込み酸化膜及びSiGe層30の表面から離れた位置に濃度ピークが存在するようにイオン注入される。その後、温度1350°Cで4時間、酸素を微量に添加した窒素雰囲気中でアニ-

ルされ、図18に示されるように埋め込み酸化膜32が形成される。

【0062】アニールが終了した時点で埋め込み酸化膜32の上下のSiGe層は格子歪が緩和された状態となり歪みは極小化される。前記アニールにより埋め込み酸化膜32直下のSiGe層30中のGeは、SOI基板100のSi層内へ拡散するが、埋め込み酸化膜によって、それ以上の拡散は阻止される。また、埋め込み酸化膜32上のSiGe層30の表面にはアニール時にSi酸化膜33が形成されるが、この酸化膜33はフッ酸により除去される。

【0063】次いで、図19に示されるように、埋め込み酸化膜32、及びその上下のSiGe層30が、RIE法により選択的に除去され柱状構造部400が設けられる。また、その表面には、厚さ20nmの歪SiGe層41及び厚さ10nmの歪Si層42が積層形成される。

【0064】ここで、柱状構造部400の底部に連続して延在するSiGe層30は、その上部の歪SiGe層41及び歪Si層42と共に、柱状構造部400底部の周辺に一部が残存するように、SOI基板100の埋め込み酸化膜が露出するまで、RIE法により選択的に除去され、この加工により図20に示されるように素子分離が行われる。

【0065】続いて、700°Cの酸素希釈のウェット酸化により、歪Si層42の表層が酸化され、厚さ2nmの酸化Si膜が、ゲート絶縁膜8として形成される。その後、LPCVD法により厚さ200nmの多結晶Si膜が堆積され、RIE法により加工されてゲート電極9が形成される。尚、RIE法による加工に先立ってレジストパターンを柱状構造部400の側壁に続く領域の一部に形成し、多結晶Si膜を残存させることにより、ゲート電極の引出しを容易にできる。

【0066】更に、図21に示されるように、ゲート電極をマスクにしてソース領域43及びドレイン領域44を形成するためのイオン注入が行われる。この時のイオン注入条件は、例えば、Asを50keVで $6.0 \times 10^{15} \text{ cm}^{-2}$ とすれば良い。この後、アニールを行い、イオン注入されたAsを活性化することにより、ソース領域43及びドレイン領域44が形成される。

【0067】これ以降の製造方法は、第2の実施形態の図8及びその図に関する上述の説明と同じであるため、説明を省略するが、絶縁層13、並びに、ゲート、ソース、及びドレインの各配線層10乃至配線層12が形成されることで、図16に示される構造が得られる。

【0068】このように本実施形態によれば、柱状部分の側面に沿って基板表面に垂直な方向の引っ張り歪みがかかるばかりでなく、前記柱状部分の側面にそって基板表面に並行な方向にも引っ張り歪みがかかった歪Si層42をチャンネル領域とした縦型電界効果トランジスタを

製造することができる。従って、歪みの効果が前記柱状突起側壁に沿って基板表面に垂直な方向に限られた従来の縦型電界効果トランジスタに比べ、キャリアの移動度が大きく向上し動作速度の高速化及び高性能化を図ることができる。

【0069】また、ドレイン領域が直に埋め込み酸化膜と接しているため、ドレイン領域がPN接合により分離されている場合より、ドレイン容量を小さくでき、更に動作速度を高速化できる。更に、縦型電界効果トランジスタのチャネル部分が埋め込み酸化膜32により実質的に浅くなっているためパッチスルーが抑制される。

【0070】尚、上述の本願の実施形態においては、何れも、nチャネル型電界効果トランジスタについて説明したが、不純物の導電型を逆にすればpチャネル型の電界効果トランジスタも全く同様に構成され、且つ本実施形態と同様の効果が得られる。従って、相補型電界効果トランジスタとして構成することも可能である。また、縦型電界効果トランジスタを単独で用いる以外に、プレーナ型の電界効果トランジスタや、バイポーラ型トランジスタ等の他の能動素子ないしは抵抗体、インダクタ、及びキャパシタ等の受動素子をも含む半導体集積回路装置の一部として本実施形態の縦型電界効果トランジスタを用いることも可能である。

【0071】更に、本発明は上述した各実施形態に限定されるものではなく、その要旨を逸脱しない範囲で、種々変形して実施することができる。

【0072】

【発明の効果】以上詳述したように、本発明の縦型電界効果トランジスタにおいては、柱状部分の側面に沿って基板表面に垂直な方向の引っ張り歪みがかかるばかりでなく、柱状部分の側面に沿って基板表面に並行な方向にも引っ張り歪みのかかった至Si層をチャネル領域として使用できる。従って、歪みの効果によりキャリアの移動度が向上し動作速度の高速化を図ることができる。

【図面の簡単な説明】

【図1】第1の実施形態に係わる縦型電界効果トランジスタの素子構造を示す断面図。

【図2】第1の実施形態に係わる縦型電界効果トランジスタの製造工程を示す断面図。

【図3】第1の実施形態に係わる縦型電界効果トランジスタの製造工程を示す断面図。

【図4】第1の実施形態に係わる縦型電界効果トランジスタの製造工程を示す断面図。

【図5】第1の実施形態に係わる縦型電界効果トランジスタの製造工程を示す断面図。

【図6】第1の実施形態に係わる縦型電界効果トランジスタの製造工程を示す断面図。

【図7】第1の実施形態に係わる縦型電界効果トランジスタの製造工程を示す断面図。

【図8】第2の実施形態に係わる縦型電界効果トランジ

スタの素子構造を示す断面図。

【図9】第2の実施形態に係わる縦型電界効果トランジスタの製造工程を示す断面図。

【図10】第2の実施形態に係わる縦型電界効果トランジスタの製造工程を示す断面図。

【図11】第2の実施形態に係わる縦型電界効果トランジスタの製造工程を示す断面図。

【図12】第2の実施形態に係わる縦型電界効果トランジスタの製造工程を示す断面図。

【図13】第2の実施形態に係わる縦型電界効果トランジスタの製造工程を示す断面図。

【図14】第2の実施形態に係わる縦型電界効果トランジスタの製造工程を示す断面図。

【図15】第2の実施形態に係わる縦型電界効果トランジスタの製造工程を示す断面図。

【図16】第3の実施形態に係わる縦型電界効果トランジスタの素子構造を示す断面図。

【図17】第3の実施形態に係わる縦型電界効果トランジスタの製造工程を示す断面図。

【図18】第3の実施形態に係わる縦型電界効果トランジスタの製造工程を示す断面図。

【図19】第3の実施形態に係わる縦型電界効果トランジスタの製造工程を示す断面図。

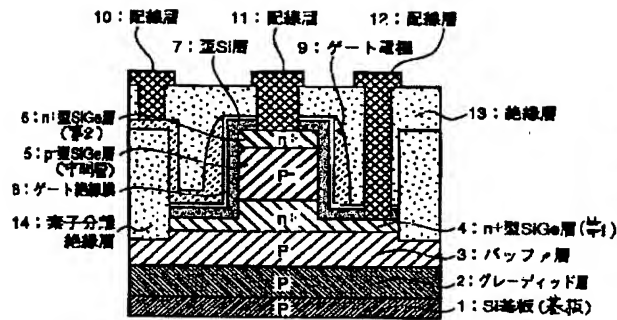
【図20】第3の実施形態に係わる縦型電界効果トランジスタの製造工程を示す断面図。

【図21】第3の実施形態に係わる縦型電界効果トランジスタの製造工程を示す断面図。

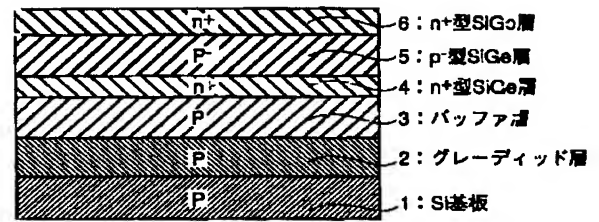
【符号の説明】

- 1・・・Si基板
- 2・・・クレーデイド層
- 3・・・バッファ層
- 4, 6, 300・・・n+SiGe層
- 5・・・p-SiGe層
- 7・・・歪Si層
- 8・・・ゲート絶縁膜
- 9・・・ゲート電極
- 10, 11, 12・・・配線層
- 13・・・絶縁層
- 14・・・素子分離絶縁層
- 20・・・柱状部分
- 30・・・SiGe層
- 31・・・Si層
- 32・・・埋め込み酸化膜
- 41・・・歪SiGe層
- 42・・・歪Si層
- 43・・・ソース領域
- 44・・・ドレイン領域
- 100・・・SOI基板
- 200・・・柱状突起
- 400・・・柱状構造部

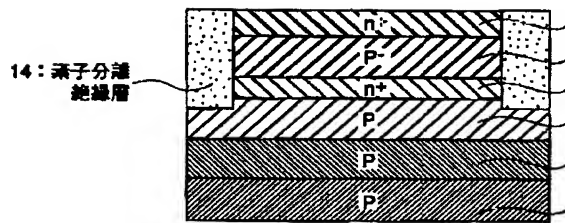
【図1】



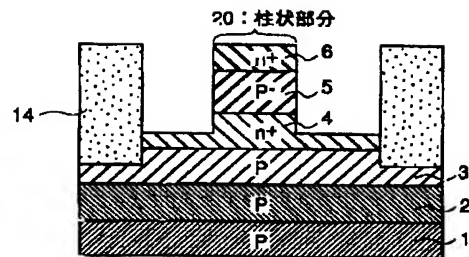
【図2】



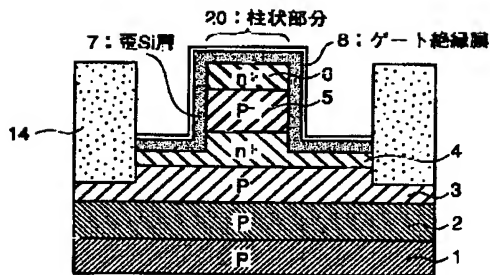
【図3】



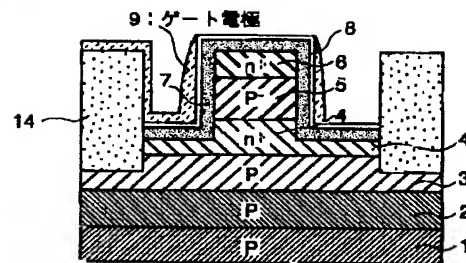
【図4】



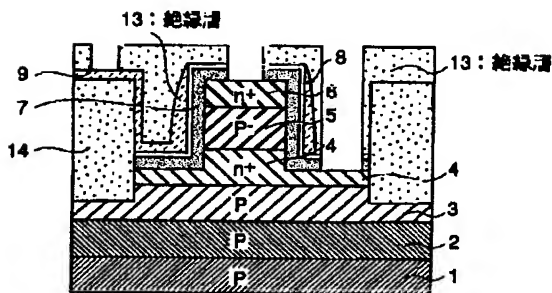
【図5】



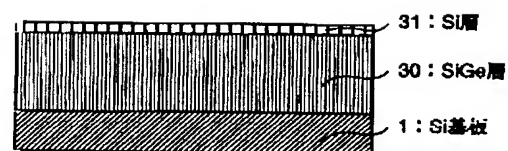
【図6】



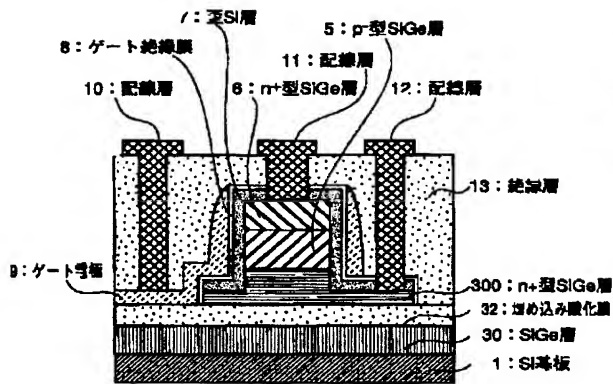
【図7】



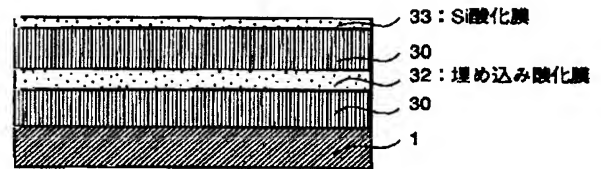
【図9】



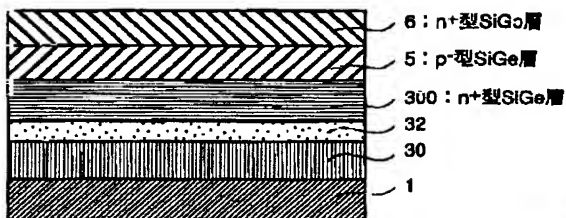
【図8】



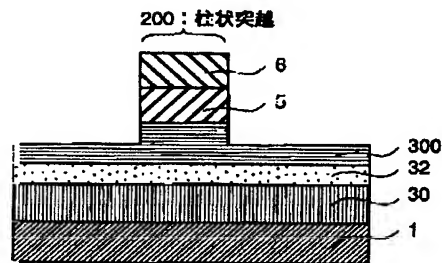
【図10】



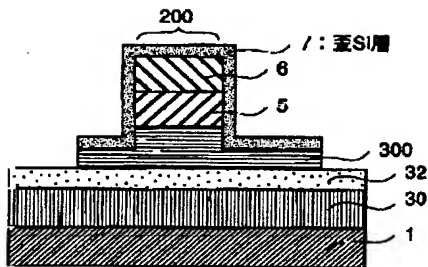
【図11】



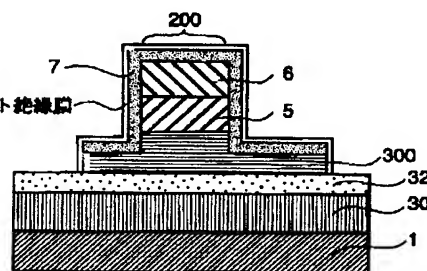
【図12】



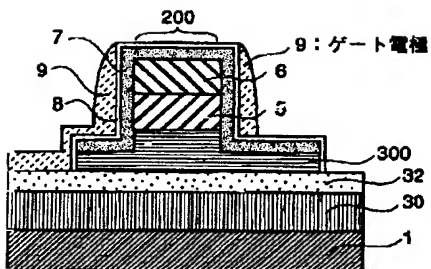
【図13】



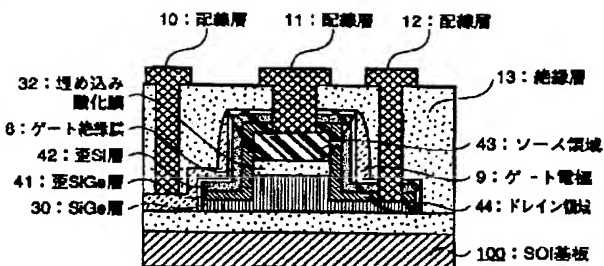
【図14】



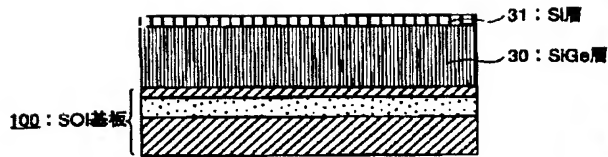
【図15】



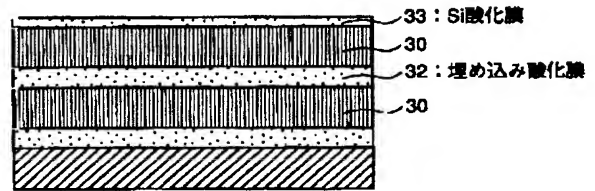
【図16】



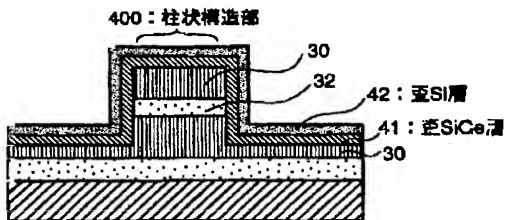
【図17】



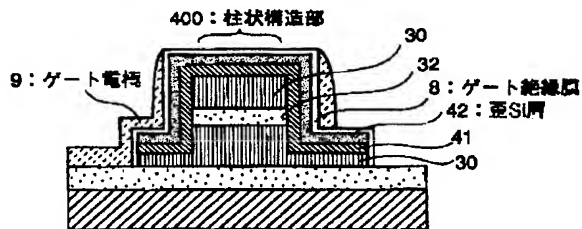
【図18】



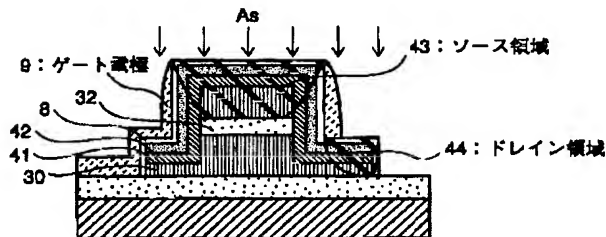
【図19】



【図20】



【図21】



フロントページの続き

(72)発明者 臼田 宏治
神奈川県川崎市幸区小向東芝町1番地 株
式会社東芝研究開発センター内
(72)発明者 手塚 勉
神奈川県川崎市幸区小向東芝町1番地 株
式会社東芝研究開発センター内
(72)発明者 水野 智久
神奈川県横浜市磯子区新杉田町8番地 株
式会社東芝横浜事業所内

(72)発明者 高木 信一
神奈川県川崎市幸区小向東芝町1番地 株
式会社東芝研究開発センター内
Fターム(参考) 5F040 DA01 DC01 EB12 EC07 EC19
EC24 EE03 EE04 EE06 EK05
EM10 FC05
5F110 AA01 CC09 DD05 DD13 EE09
EE45 FF02 FF23 GG01 GG25
HJ01 HJ04 HJ13 HJ23 HK01
HK32 QQ11